

## PATENT ABSTRACTS OF JAPAN

W1785

(11)Publication number : 2001-091543

(43)Date of publication of application : 06.04.2001

(51)Int.CI.

G01R 1/073  
H01L 21/66

(21)Application number : 11-271804

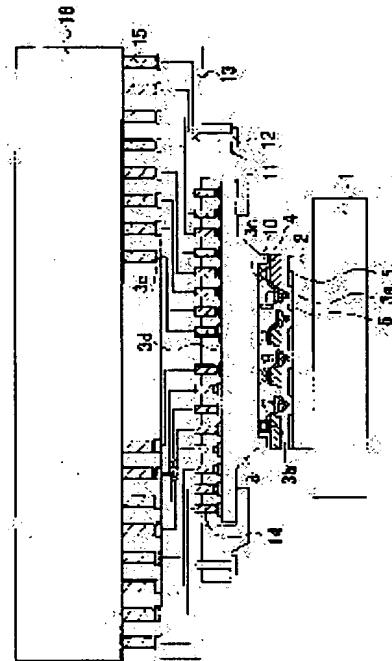
(71)Applicant : HITACHI LTD

(22)Date of filing : 27.09.1999

(72)Inventor : KANAMARU MASATOSHI  
ENDO KIJU  
HOSOGANE ATSUSHI  
NAGATA TATSUYA  
KONO RYUJI  
AOKI HIDEYUKI  
ARIGA AKIHIKO**(54) SEMICONDUCTOR INSPECTING DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce time and effort considerably required for individually highly accurately positioning and fixing probes and to prevent the number of electrode pads and chips that can be tested at a time from being limited in a semiconductor element inspecting device.

**SOLUTION:** In this inspecting device, semiconductor elements are inspected by individually bringing a plurality of electrode pads of the semiconductor elements to be inspected into direct contact with probes formed in first silicon substrates of a plurality of electrically connecting substrates arranged in the inspecting device to bring the semiconductor elements into electric connection. The first substrates in which probes are formed are provided with a structure in which the probes are formed on cantilevers and wires are connected via insulating layers along the tips of the probes to the tip parts of the cantilevers continuously to electrode pad parts formed in the surface opposite to the probe-formed surface.

**LEGAL STATUS**

[Date of request for examination] 21.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-91543

(P2001-91543A)

(43)公開日 平成13年4月6日(2001-4-6)

(51) Int.Cl.<sup>7</sup>  
G 01 R 1/073  
H 01 L 21/66

識別記号

F I  
G 0 1 R 1/073  
H 0 1 L 21/66

テ-マコ-ト<sup>+</sup>(参考)  
2G011  
4M106

宿主抗体、中和抗体、親和素の測定 C.I. (6-12 月)

(21)出願登録番号 特願平11-271804

(22) 出願日 平成11年9月27日(1999.9.27)

(31) 出處人 00000E102

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

東京都十代

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)發明者 遠藤 嘉重

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(74)代理人 100075096

弁理士 作用 康夫

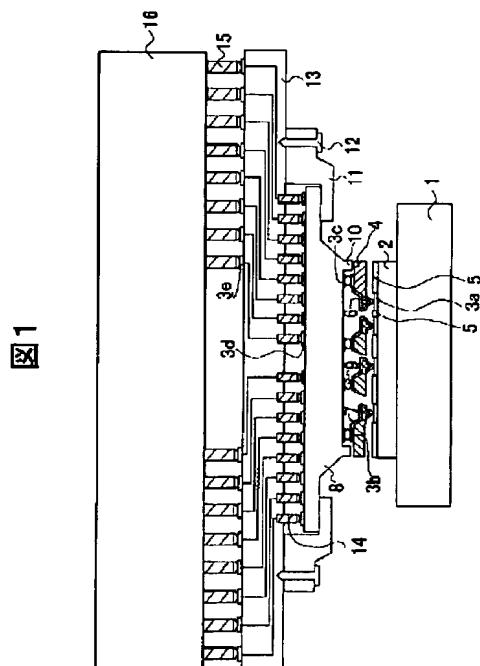
最終頁に統く

(54) 【発明の名称】 半導体検査装置

(57) 【要約】

【課題】従来の半導体素子検査装置では、個々のプローブを高精度に位置決め、固定することに大きな手間を要し、一度に検査できる電極パッド数およびチップ数が限られていた。

【解決手段】検査用半導体素子の複数の電極パッドと検査装置に配置された複数の電気接続基板のシリコンからなる第一基板に形成されたプローブを個々に直接接触させて、電気的に接続しながら半導体素子を検査する装置において、前記プローブが形成された第一基板はプローブが片持ち梁上に形成され、絶縁層を介して、配線がプローブ先端から片持ち梁の先端部に沿って、プローブ形成面の反対面に形成された電極パッド部まで、連続してつながっている構造を用いることにより解決できる。



## 【特許請求の範囲】

【請求項1】検査用半導体素子の複数の電極パッドと検査装置に配置された複数の電気接続基板のシリコンからなる第一基板に形成されたプローブを個々に直接接触させて、電気的に接続しながら半導体素子を検査する装置において、

前記プローブが形成された第一基板はプローブが片持ち梁上に形成され、絶縁層を介して、配線がプローブ先端から片持ち梁の先端部に沿って、プローブ形成面の反対面に形成された電極パッド部まで連続してつながっていることを特徴とする半導体検査装置。

【請求項2】請求項1に記載の半導体検査装置において、

前記プローブが形成された第一基板には前記第一基板内部に金属からなるグランド層が形成され、かつ絶縁層を介してその表面に複数の配線が形成されていることを特徴とする半導体検査装置。

【請求項3】請求項1又は請求項2に記載の半導体検査装置において、前記複数の配線の中で電源線及びグランド線は信号線と比較して太く形成し、かつ、電源線及びグランド線は電極パッド近傍においてグランド層と電気的に導通し、信号線はプローブ近傍においてグランド層と電気的に導通していることを特徴とする半導体検査装置。

【請求項4】請求項1乃至3のいずれか1項に記載の半導体検査装置において、

前記絶縁層の厚みを3μm以上30μm以下の範囲で形成することを特徴とする半導体検査装置。

【請求項5】請求項1に記載の半導体検査装置において、

前記第一基板に低抵抗シリコンを用い、かつ絶縁層を介してその表面に複数の配線が形成されていることを特徴とする半導体検査装置。

【請求項6】請求項1及び請求項5に記載の半導体検査装置において、前記複数の配線のうち電源線及びグランド線は信号線よりも太く形成し、前記電源線及びグランド線は電極パッド近傍において低抵抗シリコン層と電気的に導通し、信号線はプローブ近傍において低抵抗シリコン層と電気的に導通していることを特徴とする半導体検査装置。

【請求項7】請求項1及び請求項5ないし請求項6に記載の半導体検査装置において、第一基板に低抵抗シリコンを用いた絶縁層は第一の絶縁膜及び第二の絶縁膜から形成されていることを特徴とする半導体検査装置。

【請求項8】請求項7に記載の半導体検査装置において、第一の絶縁膜に二酸化珪素からなる熱酸化膜を用い、かつ、第二の絶縁膜にポリイミド樹脂を用いることを特徴とする半導体検査装置。

【請求項9】請求項8に記載の半導体検査装置において、前記第一の絶縁膜の厚みを3μm以下にし、かつ、

第一の絶縁膜と第二の絶縁膜の合わせた厚みを3μm以上30μm以下の範囲で形成することを特徴とする半導体検査装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体素子もしくは半導体デバイスの試験方法に係り、特にプローピング検査およびウエハ状態で行うバーンイン検査など半導体製造工程における半導体素子の電気的特性を効率的に検査することにより、高信頼性、高歩留りを達成した半導体装置および半導体装置の電気的特性の検査方法に関する。

## 【0002】

【従来の技術】ICやLSIなどの半導体装置では、シリコンウェハ表面に集積回路を形成するまでのいわゆる前工程と、このシリコンウェハを個別のチップに切り離して樹脂やセラミック等で封止するまでのいわゆる後工程とに大別される。

【0003】これらの半導体装置では前工程中の所定の段階において、各回路の電気的特性検査が行われ、チップ単位で良品、不良品の判定が行われる。

【0004】上記の電気的特性検査は各回路間の導通の良否を判別するプローピング検査と、150°C程度の高温中で熱的、電気的ストレスを回路に付与して不良を加速選別するバーンイン検査、及び最終的に高周波で検査を行う最終検査とに大きく分ける。特に高周波で行われる最終検査では高速デバイスの検査を超高周波で行う高速動作の検査方式が望まれている。

【0005】前記各種の検査方法共、被検ウェハーもしくは被検チップと外部の検査システムとの基本的な接続手段は同様であり、被検ウェハー上に数十ないし百数十μmピッチでバターニングされた、数十ないし百数十μm角、厚さ1μm程度の個々のアルミニウム合金もしくはその他の合金の電極パッドに対して、個々に導電性の微細なプローブを機械的に押圧する方法が採られる。

【0006】また、最近では顧客からMCM(Multi Chip Module)のようにパッケージングされていない裸チップの要求が増加し、ウエハ状態で検査する方式が考案されている。ウエハサイズでバーンイン検査を行う技術として特開平8-148533号公報のものがある。この公報の構成は、被試験ウエハの電極パッドに対応する位置に異方性導電膜を介して、シリコンからなるテスティング基板の電極パッドと電気的につなぎ、テスティング基板に形成されたスルーホールを介して被試験ウエハの上方に取り出している。外部装置との電気的なやりとりは配線を用いている。

## 【0007】

【発明が解決しようとする課題】上記、従来技術で述べたような半導体装置の検査方法では、以下に示すような問題点があった。

【0008】まず、シリコン系基材で形成した個々のプローブ付き片持ち梁を個々に別の絶縁基板表面に接合しているため、個々のプローブを高精度に位置決め、固定することに大きな手間を要し、狭ピッチ化に対応することが困難で、製造歩留まりも低いことが予測できる。また、絶縁基板表面に接合後、個々のプローブ高さばらつきが大きくなり、一定の高さでプローブを形成できないことが予測できる。プローブからの配線は外周方向に引き回しているため、プローブの先端と外部の検査システムとの電気的接続のための配線が基板中のプローブ形成面と実質同一表面に形成されるため、すべての外部接続端子を基材の外周近傍に集中して形成せざるを得ず、同外部接続端子の形成可能領域が面積的に限定され、その結果、多数のプローブを外部と電気的に接続することが困難であり、例えば被検ウェハーの全電極パッドを一括して検査するといった大領域同時検査が実質的に困難であった。また、配線が長くなり、高周波駆動での測定は困難であることが予測できる。

【0009】従来の配線の引き回しを上方に形成した構成では、プローブからの配線をスルーホールを用いて行っているが、圧電素子への配線も同様に複数の基板を用いて組み立てているため、各基板間での配線の位置ずれによる導通不良及び製造歩留まりも低いことが予測できる。

【0010】さらに、特開平8-148533号公報の構成では、テスティング基板の電極パッドと被検ウェハーの電極パッドとの導通に異方導電膜を用いているため、狭ピッチのデバイスの検査が困難であると予測できる。

【0011】また、前記従来技術と共に、シリコンの静電容量を考慮しておらず、200MHz程度以上の高速デバイスの検査が実質不可能であることが予測できる。特に従来の方式ではシリコン基板に貫通孔を形成しているため、貫通孔側面の厚く絶縁膜を形成することが困難で、シリコンの静電容量が増加するため、高周波駆動の検査ができない。さらに、従来の各方式では配線のインピーダンスのマッチングが行われていないことにより、高速動作の半導体素子または半導体デバイスの検査を行うことができないことから高速動作の製品に対応できないことが予測できる。

【0012】本発明の目的は、これまで述べた多くの問題点を解決し、半導体装置の電気的特性検査において、例えば被検ウェハーの全電極パッドを一括検査するといった大領域同時検査を可能とし、それによって製造歩留まりを向上させ、製造コストを低減し、結果的に安価で高信頼性を有する半導体装置を得ることにある。さらに低速動作から高速動作と幅広く半導体素子または半導体デバイスの検査を行うことが可能な半導体装置を得ることにある。

【0013】

【課題を解決するための手段】前記目的を達成するためには、検査用半導体素子の複数の電極パッドと検査装置に配置された複数の電気接続基板のシリコンからなる第一基板に形成されたプローブを個々に直接接触させて、電気的に接続しながら半導体素子を検査する装置において、前記プローブが形成された第一基板はプローブが片持ち梁上に形成され、絶縁層を介して、配線がプローブ先端から片持ち梁の先端部に沿って、プローブ形成面の反対面に形成された電極パッド部まで連続してつながっている構造を用いることにより達成できる。

【0014】より詳細には、プローブが形成された第一基板には前記第一基板内部に金属からなるグランド層が形成され、かつ絶縁層を介してその表面に複数の配線が形成され、前記複数の配線の中で電源線及びグランド線は信号線と比較して太く形成し、かつ、電源線及びグランド線は電極パッド近傍においてグランド層と電気的に導通し、信号線はプローブ近傍においてグランド層と電気的に導通している構造を用いると良い。さらに、前記絶縁層の厚みを3μm以上30μm以下の範囲で形成すると良い。

【0015】また、前記第一基板に低抵抗シリコンを用い、かつ絶縁層を介してその表面に複数の配線が形成され、前記複数の配線の中で電源線及びグランド線は信号線と比較して太く形成し、かつ、電源線及びグランド線は電極パッド近傍において低抵抗シリコン層と電気的に導通し、信号線はプローブ近傍において低抵抗シリコン層と電気的に導通している構造を用いると良い。

【0016】前記絶縁層は第一の絶縁膜及び第二の絶縁膜から形成され、第一の絶縁膜に二酸化珪素からなる熱酸化膜で形成した後、第二の絶縁膜をスピッタリング装置やCVD装置を用いて絶縁材料を形成する方式またはポリイミド樹脂等の有機絶縁材料をスピンドル塗布もしくはスクリーン印刷によって形成する方式によって達成できる。

【0017】また、前記第一の絶縁膜の厚みを3μm以下にし、かつ、第一の絶縁膜と第二の絶縁膜の合わせた厚みを3μm以上30μm以下の範囲で形成する構造を用いると良い。

【0018】さらに、上記の構造および方式を用いることにより、高速デバイスの検査が可能になり、検査した半導体素子もしくは電子部品は非常に安価で提供することができる。

【0019】

【発明の実施の形態】本発明に係る実施の形態に関する説明を図1から図9を参照して説明する。図1に本発明の一実施例に関するウェハー一括検査装置の構造を示す。

【0020】本発明のウェハー一括検査装置では、図1に示すように、プローブ形成基板4には、変形が容易な片持ち梁が形成され、前記片持ち梁の先端部又はその近く

にはプローブ6が形成されている。プローブ形成基板4には、絶縁層を介して金属配線7が、プローブ6から片持ち梁の先端部に沿って、プローブ形成面の反対面に形成された電極パッド部3 bまで連続してつながっている。プローブ形成基板4の詳細な説明に関しては後述する。

【0021】前記プローブ形成基板4は電気接続基板8に半田ボール9により固定されている。本発明では半田ボールを用いてプローブ形成基板4の固定と電気的接続を同時に行っている。この固定と電気的接続の他の方法としては、例えば銀ベーストや白金ベーストもしくは150°C以下で溶解しない金属材料、複合材料をスクリーン印刷法等によって形成し焼成することにより電気的導通と固定を行っても良い。

【0022】電気接続基板8の内部は多層配線が形成されており、狭ピッチに配置されている電極パッド3 cの間隔を、電気接続基板8の上部に配置した多層配線基板13に設けられたボゴピン14の間隔まで広げる役割をしている。なお、電気接続基板8に形成された電極パッド3 cはマトリックス状に800 μmピッチで形成されている。この電気接続基板8の材料としてはセラミックスが好ましく、特にムライトを用いることが線膨張率の点から良い。これは、各種検査の中でバーンイン検査が150°Cの温度雰囲気中で行われるため、シリコンからなる被検ウエハの電極パッドとプローブとが相対的に位置ずれが生じないために線膨張率が近い方が好ましい。

【0023】また、電気接続基板8のプローブ形成基板4面する側の周囲には検査時に加わる加圧力により半田ボール9が一定以上つぶれないようにするために、座屈防止用の突起10が形成されている。組立時には、この突起10とプローブ形成基板4との間に所定の隙間が形成される。突起10の大きさは半田ボール9の大きさ(高さ)の20%程度の高さとする。

【0024】前記、電気接続基板8及びプローブ形成基板4は、多層配線基板13に治具11を介して、ボルト12により固定されている。なお、治具11の材料は、150°C以上で熱変形が少ない材料、例えば、窒化アルミニウムもしくはインバーなどを用いると良い。多層配線基板13の内部はガラエボ材に多層に配線されている構造で、ボゴピン14が多数形成されていて内部多層配線とつながっている。なお、ボゴピン14とはばね機構がついた電気的導通端子である。この多層配線基板13も先に説明した電気接続基板8と同じく、電気接続基板8の面側から反対側の面に配線ピッチを拡大する機能を備えている。ウエハー一括検査装置16には多層配線基板13と電気的な導通をとるために用いるボゴピンまたは接続ピン15が多層配線基板13の電極パッド3 eの間隔で配置されている。

【0025】このように、プローブ形成基板からウエハ

一括検査装置までの間に電気接続基板及び多層配線基板の2枚の基板を用いた理由は、電気接続基板はセラミックスの中に多層配線を形成しているため、高精度に形成できる代わりに非常にコストが高く製造も容易ではない。そのため、基板の変更は容易に行なえない。そのため、検査方式を変更した場合や、接点の変更などは安価で製造の容易な多層配線基板を用いて行なうことができる。また、他の検査装置へ適用する場合は、安価で製造の容易な多層配線基板を取換えるだけで容易に行なうことができる。

【0026】被検ウエハ2は固定ステージ1に真空チャックで固定されている。固定ステージ1は、図示していない周辺機器により、数100 μm単位での高さ制御機構及び数グラム単位での加圧力制御が可能な構造となっている。さらに、上下、左右、円周方向に移動が可能な構造となっており、被検ウエハ2に形成された電極パッド3 aとプローブ形成基板4のプローブ6を高精度に位置合わせしながら、互いに接触させることができる構造となっている。なお、前記の構造では位置合わせ用の移動機能を固定ステージ側に付加したが、本発明では前記構造に限らず、例えば、プローブ形成基板側もしくはプローブ形成基板側と固定ステージの両者に位置合わせ用の移動機能を付加しても良い。

【0027】ウエハー一括検査装置16と被検ウエハ2との間の、電気信号の授受を行うための電気的な導通手段に関する構造について説明する。被検ウエハ2の電極3 aとプローブ形成基板4のプローブ6との位置合わせが終了後、前記の機構を用いて両者を接触させる(被検ウエハ側のステージを上昇させて接触させる)と被検ウエハ2の表面保護膜5に接触しない程度にプローブ形成基板4を押し付ける。この時、被検ウエハの反りや傾きを抑制し、プローブ形成基板の片持ち梁が上方にたわみ、その反力を電極パッド3 aに一定の押圧力を与えるようになる。

【0028】本実施例では、電気的導通に必要な押圧力はおよそ3 g程度であった。これ以上の押圧力であれば良好に電気的導通が得られる。しかし、押圧力があまり大き過ぎると電極パッド3 aにダメージを与える。なお、被検ウエハ2にはアルミニウムからなる約100 μm角の大きさの電極パッド3 aが形成されている。その電極パッド3 aの周囲にはポリイミド系の樹脂からなる表面保護膜5が接触不良等を防止するために形成されている。

【0029】また、プローブ形成基板4の電極パッド3 b及びプローブ6以外の配線上には、ポリイミド等からなる絶縁膜が配線の段差を埋めるように形成されている。なお、プローブ形成基板4の表面の絶縁膜は、被検ウエハ2の表面保護膜5にダメージを与えない材料で、少なくとも150°C以上の温度に耐えられる材料であれば他の絶縁材料を用いても良い。また、配線はプローブ

形成基板に溝を形成しその溝の中に埋め込む構造を用いても良い。

【0030】電極パッド3aは、プローブ形成基板4のプローブ6と接触することにより電気的に導通する。プローブ形成基板4のプローブ6から金属配線が、プローブ形成面と反対面に形成された電極パッド3bまで形成されている。プローブ形成基板4の電極パッド3bと電気接続基板8の下面電極パッド3cは半田ボールにより電気的に接続されている。電気接続基板8の下面電極パッド3cと上面電極パッド3dは電気接続基板の内部に形成された多層配線により電気的な接続が施されている。電気接続基板8の上面電極パッド3dと多層配線基板13との電気的な授受は、多層配線基板13に形成されたボゴピン14を用いて行う。

【0031】ボゴピン14は、そのばね機構により、基板にうねり等が発生している場合でも導通不良を起こすことなく確実に電気的な接続が得られる。また、ボゴピンを採用したことにより、検査対象物を変更した時にも、電気接続基板8から下の部分を容易に交換することが可能である。ボゴピン14は、多層配線基板13の内部配線により多層配線基板13の上面に形成された電極パッド3eとつながっている。また、最終的なウエハ括検査装置16との電気的な授受は検査装置16に形成されたボゴピンまたは接続端子15を用いている。

【0032】以上のように配置された各種基板を用いることにより、被検ウエハ2の電極パッド3aから検査装置まで電気的な信号の授受が可能となる。また、前記のように各種検査の種類応じて、電気接続基板8から下の部分を容易に交換することが可能であることから、後述する多種の検査方法に適用することができる。

【0033】半導体素子または半導体デバイスの電気的特性検査は主に30MHzの駆動周波数で各回路間の導通の良否を判別するプローピング検査と、5MHzの駆動周波数で150°C程度の高温中で数時間から数10時間、熱的、電気的ストレスを回路に付与して不良を加速選別するバーンイン検査、及び最終的に133MHz以上の駆動周波数で高周波で検査を行う最終検査が行われ、駆動周波数によって製品が分別される。

【0034】また、ランバスDRAMのように400MHz以上の駆動周波数で高周波で検査を行う製品及び1GHz以上の駆動周波数で高周波で検査を行うLSIチップもある。これらの検査をウエハレベルで連続して電気的特性検査を行うために、本発明のプローブ形成基板は、検査装置に配置されたプローブ形成基板が150°C程度の高温中で、連続してプローブと被検チップの電極パッドとが位置ずれすることなく良好にコンタクトされ、しかも電気的に高速動作が可能な構造となっている。

【0035】次にプローブ形成基板4の詳細構造について図2ないし図7を用いて説明する。図2はプローブ形

成基板の外観図を示したものである。

【0036】プローブ形成基板4はシリコン材からなりマイクロマシニング技術により、片持ち梁21と、その片持ち梁21上にそれぞれプローブ6が形成されている。プローブが形成されている位置は被検ウエハの電極パッドの位置と同じ位置に加工することができる。本発明のシリコンプローブは、シリコンウエハをマイクロマシニング技術を利用して加工しているために、その相対的位置精度は非常に良い。なお、その位置精度はマスク精度に依存する。一般的なマスク精度は±1μm以下であり、加工されるプローブの相対的位置精度もその範囲内に入っている。

【0037】配線7、7fは電極パッド3b、3fからプローブ6までつながっている。電極パッド及び配線の下には、配線間の導通を防止するために絶縁層17が厚く形成されている。電極パッド3fには、後述するように、電極パッドの下にグランド線と導通させるために金属層19が形成されている(図4参照)。配線7fは電源線またはグランド線を示しており、他の3本の配線7(信号線)よりも配線幅が太く(信号線の30~50倍程度の太さに)形成されている。信号線は信号線全体の静電容量の大きさにより検査周波数が制限されるため、配線幅を太く形成できないが、電源線またはグランド線はグランド層と導通しているため静電容量とは無関係であり、配線幅を太く形成できる。

【0038】図3は図2のA-A破線の断面図を示したものである。

【0039】プローブ形成基板4に用いられているシリコン材の表面にはグランド層20が構造体の表面を覆っている。前記グランド層の材質は電気的に抵抗値が小さければどのような金属を用いても良いが、銅が低抵抗材料であることから好ましい。グランド層20の表面には絶縁層17が形成されており、その表面にプローブ6から片持ち梁21の先端部を介して電極パッド3bまで配線が形成されている。前記シリコン材の抵抗率はどの値でも適用することができるが、好ましくは0.05Ωcmより高抵抗材料が良い。これはシリコンをマイクロマシニング技術の異方性エッティング技術を用いて加工する場合、ボロンがドーピングされていると、エッティング速度が減少し、ひずみ量も増加することにより加工精度に影響するためである。

【0040】また、信号線はプローブ近傍においてグランド層と電気的に導通している構造となっている。また、前記絶縁層の厚みは3μm以上30μm以下の範囲で形成することが好ましく、特に高速検査を行うために絶縁層の厚さが25μm程度が良い。

【0041】図4は図2のB-B破線の断面図を示したものである。

【0042】プローブ形成基板4に用いられているシリコン材のプローブ形成面及びプローブ形成面の反対面の

両方の表面にはグランド層20が形成され、その表面には絶縁膜17が形成されており、その表面に電極パッド3b及び3fが形成されている。電極パッド3fは電源線またはグランド線となっているため、金属層19を介してグランド層20に導通する構造となっている。

【0043】前記の構造では、複数の配線の中の電源線及びグランド線は、電極パッド近傍においてグランド層と電気的に導通し、信号線は、プローブ近傍においてグランド層と電気的に導通している。これによりノイズの発生がなく、高周波駆動の高速検査が可能である。また、電源線、グランド線及び信号線をグランド層に導通させない構造を適用した場合には、配線に電流が流れると、グランド層にはそれを打ち消すように誘導電流が流れる。そのため、インダクタンスは、グランド層が無い場合と比較して、うず電流の影響で半分くらいになる。このため、検査条件によってはこのような構造を適用することも可能である。

【0044】本発明では、 $10\mu m$ 程度に梁をたわませて被検ウエハの電極パッドとコンタクトをとっている。このため、図5のように、片持ち梁21の厚みと同じ厚みのシリコンウエハでプローブ形成基板4を作ることができ。この構造では片持ち梁の変位量 $10\mu m$ は、プローブ形成基板4を電気接続基板8に固定するための直径 $250\mu m$ の半田ボールの隙間で吸収される。

【0045】また、プローブはシリコンで形成することが信頼性の観点から好ましいが、図6に示すように片持ち梁21にグランド層20、絶縁層17を形成した後に、金属プローブ22を形成した構造を用いることもできる。なお、その場合のプローブ22の材料は配線材料と同一のものを用いても、異なる金属を用いてもよい。なお、金属プローブの材質は低抵抗材料で、堅い材質のものが好ましい。金属以外の材料でも前記条件が合えばプローブとして適用することが可能である。

【0046】前述のように、複数の配線7の下に絶縁膜17が形成され、その下にグランド層20が形成され、電源線またはグランド線は電極パッド近傍でグランド層と導通する構造、及び信号線はプローブ近傍でグランド層と導通する構造とすることにより、ノイズの影響がなく、インダクタンスを低減させることができ、複数の配線と測定系とのインピーダンスをマッチングさせることができる。

【0047】そのため、本発明のプローブ形成基板を用いた検査装置は各配線の信号が隣接する配線に影響するのを防止できる。また、複数の配線と測定系とのインピーダンスの整合が図れるため、高周波数での高速検査を行うことが可能である。

【0048】プローブ形成基板の構造に関する他の実施例について図7を用いて説明する。図7は図3と同様に、配線に信号線を適用した場合のプローブ形成基板の断面図を示している。

【0049】プローブ形成基板4の表面には、二酸化珪素からなる熱酸化膜23が形成されている。電極パッド3b面及び片持ち梁までの斜面には絶縁層18が形成されている。その表面にプローブ6から片持ち梁21の先端部を介して電極パッド3bまで配線7が形成されている。また、プローブ6の近傍の配線は金属層19を介してグランド層20まで導通した構造となっている。

【0050】プローブ形成基板4に、低抵抗のシリコンウエハを用いると、グランド層を形成する必要がなく、プローブ形成基板自体がグランド層の役割を果たすことができる。この他に、片持ち梁21及びプローブ6の構造体を形成した後、全面にボロン等をドーピングすることで、表面の抵抗を下げた方式を用いても良い。

【0051】図7の断面構造において、絶縁層は図3と同じにしても良いが、2つの絶縁膜から構成する構成としても良い。シリコン表面は熱酸化を行うことにより、構造体の形状に沿って、容易に絶縁膜（熱酸化膜）を形成できる。しかし、配線の下の絶縁層の厚みは $5\mu m$ から $30\mu m$ 程度必要である。そのため、熱酸化膜23を厚く形成しても良いが、熱酸化膜の成膜速度は時間に反比例して遅くなる傾向がある。湿式熱酸化法を用いて、 $4\mu m$ 厚さの熱酸化膜を形成するのには27時間程度必要である。そのため、熱酸化膜の他に絶縁膜18を設ける方法がとられる。

【0052】図7に示した構造体では、熱酸化膜23を $3\mu m$ 形成した後、絶縁膜18を $22\mu m$ 形成した。より詳細には絶縁層は電極パッド面及び斜面に形成されている。これは片持ち梁の部分の配線は空気絶縁されているためである。なお、シリコン材の抵抗値は $0.01\Omega cm$ より低抵抗材料が良い。また、絶縁膜18にポリイミド樹脂を用いると良い。さらに熱酸化膜の厚みを $4\mu m$ 以下にし、かつ、熱酸化膜と絶縁膜を合わせた厚みを $3\mu m$ 以上 $30\mu m$ 以下の範囲で形成することが好ましい。

【0053】前記の構造とすることにより、ノイズの影響がなく、インダクタンスを低減させることができ、複数の配線と測定系とのインピーダンスをマッチングさせることができる。そのため、本発明のプローブ形成基板を用いた検査装置は各配線の信号が隣接する配線に影響するのを防止できる。また、複数の配線と測定系とのインピーダンス整合がとれることにより、高周波数での高速検査を行うことが可能である。

【0054】被検ウエハをウエハ状態で一括して検査を行うためには、プローブ形成基板4が被検ウエハの1チップの面積の範囲内で複数の必要な電極パッドを取り出す必要がある。これは1チップの面積を越えて電極パッドの取り出しを行った場合、中心部から外周部へ電極パッドの位置が広がり、結果的に配線の長さが外周部の方ほど長く形成されるためである。そのため、チップによって配線の長さ及び信号線全体の静電容量が異なり、駆動周波数が低下するため良好な検査が行えない。

【0055】また、各種の検査を行う場合、検査内容によって検査に必要なパッド数が異なる。そのため、ウェハ状態で各種検査を行うためには、プローブ形成基板において、被検ウェハの1チップの電極パッド数と同じ数のプローブ及び電極パッドをプローブ形成基板に作り込む必要がある。しかし、実際には $40\text{ mm}^2$ くらいの面積に80前後のプローブ及び電極パッドを作り込まなくてはならない。

【0056】そこで、電極パッド配置について、図8ないし図13を用いて説明する。図8に、プローブ形成基板の一部にスルーホールを開けて配線を行なう構成の断面図を示す。図9に、図8の電極パッド側からの正面図を示す。図10に、プローブ側からの正面図を示す。

【0057】図8では、プローブ形成基板4にはプローブ6、片持ち梁21、貫通孔24が設けてある。配線7a、7bは熱酸化膜23の上に形成され、プローブ6から貫通孔を介して電極パッド3bまでつながっている。

【0058】図9及び図10より、配線7aはプローブ形成基板4の片持ち梁21に形成された複数のプローブ6から貫通孔24を介して配線7bにより電極パッド3bまでつながっている。電極パッド3bは貫通孔36を避けるように配置されている。そのため、プローブから電極パッドまでの距離も長くなる。

【0059】この構造での貫通孔24の電極パッド側開口部の一辺の大きさWは、プローブ形成基板の厚みをT、プローブ側開口部の大きさをHとした場合、次式で表される。

$$【0060】W = H + (2T/\sqrt{2})$$

例えば、 $500\text{ }\mu\text{m}$ 厚のシリコンウェハを用いて、プローブ側開口部の大きさを $50\text{ }\mu\text{m}$ とした場合、貫通孔24の電極パッド側開口部の一辺の大きさは $75.7\text{ }\mu\text{m}$ となり、その面積は $0.57\text{ mm}^2$ である。そのため、80個の電極パッドを形成する場合には貫通孔の面積だけで $45.6\text{ mm}^2$ となる。このため、実質的に貫通孔と電極パッドを同時に形成することは難しい。

【0061】次に、最良な電極パッド配置に関する説明を行う。プローブ形成基板にシリコン異方性エッチングにより構造体を加工した場合の断面図を図11に、図11の電極パッド側からの正面図を図12に、プローブ側からの正面図を図13に示す。図11よりプローブ形成基板4にはプローブ6、片持ち梁21が加工されている。配線7a及び7bは熱酸化膜23及び絶縁膜18の上に形成され、プローブ6から片持ち梁を介して電極パッド3bまでつながっている。

【0062】詳細には、図12及び図13より、配線7aはプローブ形成基板4の片持ち梁21に形成された複数のプローブ6から片持ち梁21の先端部を介して配線7bにより電極パッド3bまでつながっている。この構造では前記構造のように、貫通孔を避けて電極パッドを配置する必要がないため、小さい面積で多くの電極パッ

ドを形成することが可能である。そのため、プローブから電極パッドまでの距離も短くなり、その分静電容量を減少させ高速動作が可能になる。また、貫通孔が存在しない分、プローブ形成基板の強度も向上する。

【0063】電極パッドの配置面積を減少させるための構造を図14に示す。同図より、プローブ形成基板4に電極パッド3bを左右に同様の数を配置することにより、片持ち梁をそれに併せて配置し、配線7bも同様に千鳥状にすることにより、さらに電極パッドの配置面積を減少させることができる。

【0064】また、配線するための貫通孔が形成していないため、電極パッド面は平面状となるため、多層配線構造の形成が容易となる。前記で説明した異方性エッチングによる貫通孔または垂直に形成された孔等が形成されているプローブ形成基板において多層配線を形成する場合には、必要な孔同士を線でつながなければいけないため、加工工程が複雑で精度も要求される。一方、本発明のプローブ形成基板において多層配線を形成する場合には、面で形成した導通層に必要な電極パッドだけをつなげれば良いため、加工工程が容易で精度もあまり必要ではない。その一例を図15に示す。図15は本発明の多層配線の断面図を示している。プローブ形成基板4の内部にはグランド層20f及び20gが形成されている。

電極パッド3fはグランド線の電極パッドを、電極パッド3gは電源線の電極パッドを、電極パッド3bは信号線の電極パッドをそれぞれ示している。電極パッド3fは金属層19fにより、グランド層20fにつながっている。また、電極パッド3gは金属層19gにより、グランド層20gにつながっている。このようにグランド線と電源線を個々に別のグランド層につなぐことで高速動作が可能になる。

【0065】次にプローブ形成基板4の形成にマイクロマシニング技術を用いた加工工程について説明する。図16に構造体の加工工程を、図17及び図18に配線の加工工程を示す。

【0066】図16より、始めに、図16(a)に示すように厚さ $500\text{ }\mu\text{m}$ (100)方位のシリコンウェハ26を準備する。次に $0.5\text{ }\mu\text{m}$ 厚さの熱酸化膜を形成し、ホトリソプロセスを用いて、シリコンウェハ26の表面に形成された熱酸化膜23上にレジスト塗布・パターン露光・現像・熱酸化膜のエッチングを片面から行い、プローブ6を形成するためのマスクパターンを形成する。目的のプローブ先端形状を得るために、マスクパターン形状にはエッチングによる角落ちに対処するための補償パターンが形成されている。

【0067】その後、 $65^\circ\text{C}$ の水酸化カリウム水溶液を用いてシリコンを $20\text{ }\mu\text{m}$ 段差の異方性エッチング加工を片面から行い、図16(b)に示すようにプローブ6を形成する。この時、プローブ形成部には斜面が形成される。これは(111)面を示し、他の結晶面と比較して

エッティング速度が大変遅い。前記シリコンのエッティング加工は水酸化カリウム水溶液だけではなく、その他のウエットエッティング液、例えば、エチレンジアミンピロカテコール、テトラメチルアンモニウムハイドロオキサイド、ヒドラジンを用いることができる。

【0068】さらに、図16(c)に示すようにプローブ6を個々に分離するために梁以外の部分にホトリソプロセスを用いて、レジスト塗布・バターン露光・現像・熱酸化膜のエッティングを片面から行い、熱酸化膜23からなる梁パターンを形成する。

【0069】その後、図16(d)に示すように前記と同様に異方性エッティングを用いて梁厚分だけエッティングし、底面27を形成する。

【0070】次に前記と同様の加工プロセスを用いて、熱酸化膜を形成し直し図16(e)に示すようにプローブの裏面側に熱酸化膜23からなるパターン形状に加工し、図16(f)に示すように異方性エッティングを用いて梁厚分だけ残るようにエッティングする。この時、プローブ6は熱酸化膜23に保護されているため、プローブ形状は保たれている。また、この時のエッティング量を調整することにより、最終的に残る梁の厚さをコントロールできる。

【0071】最後に熱酸化膜を除去して、図16(g)に示すようにプローブ6及び片持ち梁21が加工された構造体が完成する。前記加工技術では、異方性エッティングのマスク材に熱酸化膜を適用した例について説明したが、マスク材としてシリコンナイトライド膜、薄い熱酸化膜の上にシリコンナイトライド膜を形成した複合膜を用いても良い。また、本発明のプローブ形成基板のエッティング加工は異方性エッティング加工に限らず、RIE(Reactive Ion Etching)装置やイオンミリング装置などのドライエッティング装置を組み合わせて構造体のエッティング加工を行うこともできる。

【0072】次に配線に関する加工工程について説明する。図17より、(a)に示すように前記の加工工程によりプローブ6及び片持ち梁21が加工された構造体に、図17(b)に示すように両面に金属薄膜からなるグランド層20を形成する。このグランド層の形成はスパッタリング装置とメッキ装置を用いて銅を厚さ5μmに形成した。その上に図17(c)に示すように両面にポリイミドからなる絶縁膜17を厚さ25μmに形成した。前記絶縁物17はポリイミド以外の樹脂材料または高速スパッタリング装置を用いて酸化珪素を形成しても良い。

【0073】次に図17(d)に示すように、グランド層と導通をとるために必要な孔28をホトリソプロセスを用いて形成し、図17(e)に示すように、リフトオフ法を用いて孔28に金属層19を形成した。また、金属層を形成する方法として孔28以外の部分にメタルマスクを形成し、スパッタまたは蒸着により金属層を形成しても良い。

しても良い。

【0074】最後に厚膜レジストなどを用いてCrを20nmその上にAuを1000nmスパッタリング装置とリフトオフ法を用いて形成し、その上にCuを10μmさらにその上にNiを2μmめっき装置により、プローブ6から電極パッド3bまで配線7を形成した。前記Crの他にTiを適用しても良い。これはCrやTiは下地とAuの密着性を向上させるために形成しているためである。前記配線材料は150°C以上で溶解せず、電気的導通がある薄膜形成可能な材料であれば他の材料を用いても良い。配線などに用いる装置もスパッタリング装置以外の装置、例えば、蒸着装置やCVD(Chemical Vapor Deposition)装置を用いても良い。さらに、配線の形成方法はリフトオフ法にかぎらず、電着レジストまたはスプレーレジスト等3次元的にレジストパターンの形成が可能なレジストを用いて基板全面に薄膜を形成した後、ホトリソを行い、エッティングによって形成し、その後めっきで形成しても良い。

【0075】図18より、(a)に示すように前記の加工工程によりプローブ6及び片持ち梁21が加工された構造体に、図18(b)に示すように熱酸化膜23を形成する。ここで、使用するシリコンウエハの抵抗率は、0.01Ωcmの低抵抗シリコンウエハを用いた。これはシリコンウエハを加工した構造体を導体として用いているためである。前記、熱酸化膜の厚みを3μm形成した。

【0076】その後、プローブ形成面の裏面の平面部及び斜面部にポリイミドからなる絶縁膜18を22μm形成した。この場合、加工プロセスの容易性から両面全体にポリイミド膜を形成しても良い。前記絶縁物18はポリイミド以外の樹脂材料または高速スパッタリング装置を用いて酸化珪素を形成しても良い。

【0077】次に図18(d)に示すように、シリコンウエハ29と導通をとるために必要な孔28をホトリソプロセスを用いて形成し、図18(e)に示すように、リフトオフ法を用いて孔28に金属層19を形成した。また、金属層を形成する方法として孔28以外の部分にメタルマスクを形成し、スパッタまたは蒸着により金属層を形成しても良い。

【0078】最後に図18(f)に示すように、厚膜レジストなどを用いてCrを20nmその上にAuを1000nmスパッタリング装置とリフトオフ法を用いて形成し、その上にCuを10μmさらにその上にNiを2μmめっき装置により、プローブ6から電極パッド3bまで配線7を形成した。前記配線材料は150°C以上で溶解せず、電気的導通がある薄膜形成可能な材料であれば他の材料を用いても良い。配線などに用いる装置もスパッタリング装置以外の装置、例えば、蒸着装置やCVD(Chemical Vapor Deposition)装置を用いても良い。さらに、配線の形成方法はリフトオフ法にかぎらず、電

着レジストまたはスプレーレジスト等3次元的にレジストパターンの形成が可能なレジストを用いて基板全面に薄膜を形成した後、ホトリソを行い、エッチングによって形成し、その後めっきで形成しても良い。また、シリコンの加工に高アスペクト比加工が行えるICP-RIE装置を用いても良い。これにより、狭ピッチの片持ち梁の加工が行える。

【0079】以上のようにそれぞれ説明した本発明の構造をプローブ形成基板に適用した場合の外観図を図19に示す。8インチシリコンウエハの被検ウエハ2には複数のチップ25が形成され、その中に複数の電極パッド3aが形成されている。一方、本発明のプローブ形成基板4にはプローブが被検ウエハの全電極パッドに対応する位置に形成され、前記プローブと同数の電極パッド3bが形成されている。また、プローブから電極パッド3bまで配線7されている。被検ウエハ2にプローブ形成基板4を接触させることにより、ウエハサイズで一括して各種の検査を行うことが可能である。

【0080】以上に示した本発明のウエハ一括検査装置を用いてプローピング検査、バーンイン検査及び終検検査に適用した結果、被検ウエハの電極パッドとプローブ末端端子との接触抵抗が0.1Ω以下と低く、テスト周波数も500MHz以上得られた。また、その時の寿命は30万回以上であった。その時に温度雰囲気を常温から180°Cまで変化させたが、被検ウエハの電極パッドとプローブは極めて良好にコンタクトされていた。また、各工程で検査されたウエハにおける不良チップのデータは記憶され、次の検査工程では不良チップの検査を行わないシステムを採用した。

【0081】また、本発明ではプローブ形成基板は8インチシリコンウエハを用いているが、プローブ形成基板は被検ウエハのチップと同じ大きさで加工しているため、歩留りなどを考慮して、例えば、6インチウエハで形成したものを作り、それを組み合わせて作ることも可能である。その場合はプローブ形成基板に一部が破損した場合でも容易に交換することができる。

【0082】前記に示した本発明の各構造体は被検ウエハの電極パッドと同一の数だけ形成するだけでなく、例えば、複数個形成しても良い。被検ウエハの検査において、プローブが寿命により使用できなくなった場合でも、前記のようにプローブを複数個形成しておくことにより、位置を変えるだけで、また、新しい基板として用いることができる。

【0083】また、本発明は被検ウエハサイズでダイシングすることなく、各種検査を行うことが可能であるため、個々の検査の仕様に合わせた構造のプローブ形成基板を供給することも可能である。

【0084】以上のことより高速デバイスの検査が可能

になり、検査した半導体素子もしくは電子部品は非常に安価で提供することができる

【0085】

【発明の効果】本発明のウエハ一括検査装置によれば、低周波数から高周波数まで幅広く検査する機能を備えているために、被検ウエハサイズのまま、各種の検査を行うことができる。また、検査時間を短縮することができ量産性に優れており、低コストで信頼性の高い半導体デバイスを提供できる。

10 【図面の簡単な説明】

【図1】本発明の一実施例の装置構成図である。

【図2】本発明の一実施例の斜視図である。

【図3】本発明の一実施例のプローブと電極パッドに関する断面図である。

【図4】本発明の一実施例のプローブと電極パッドに関する断面図である。

【図5】本発明の他の一実施例の断面図である。

【図6】本発明の他の一実施例の断面図である。

【図7】本発明の他の一実施例の断面図である。

20 【図8】プローブ形成基板に配線用スルーホールを開けた場合の断面図である。

【図9】図8の平面図である。

【図10】図8のプローブ側見た平面図である。

【図11】本発明の一実施例に関する断面図である。

【図12】本発明の一実施例に関する平面図である。

【図13】本発明の一実施例に関する平面図である。

【図14】本発明の他の一実施例に関する平面図である。

30 【図15】本発明の他の一実施例に関する断面図である。

【図16】本発明の他の一実施例に関する外観図である。

【図17】本発明の一実施例の構造体の加工プロセスである。

【図18】本発明の一実施例の配線の加工プロセスである。

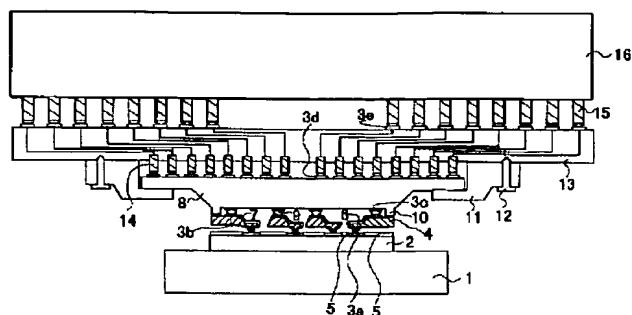
【図19】本発明の他の一実施例の配線の加工プロセスである。

【符号の説明】

40 1…固定ステージ、2…被検ウエハ、3…電極パッド、4…プローブ形成基板、5…表面保護膜、6…プローブ、7…配線、8…電気接続基板、9…半田ボール、10…突起、11…治具、12…ボルト、13…多層配線基板、14…ボゴピン、15…ボゴピンまたは接続ピン、16…ウエハ一括検査装置、17…絶縁層、18…絶縁膜、19…金属層、20…グランド層、21…片持ち梁、22…金属プローブ、23…熱酸化膜、24…貫通孔、25…チップ、26…シリコンウエハ、27…溝、28…孔。

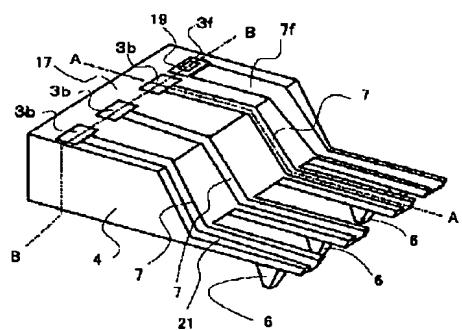
【図1】

図1



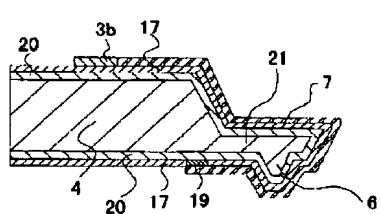
【図2】

図2



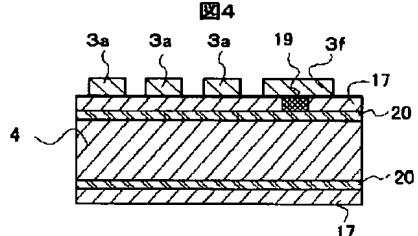
【図3】

図3



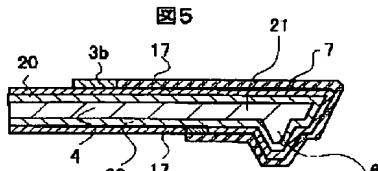
【図4】

図4



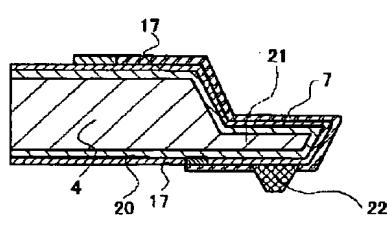
【図5】

図5



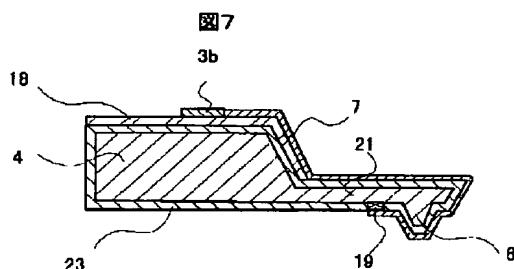
【図6】

図6



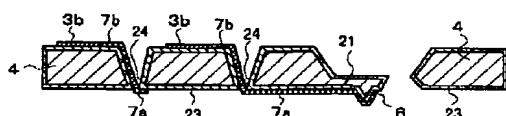
【図7】

図7



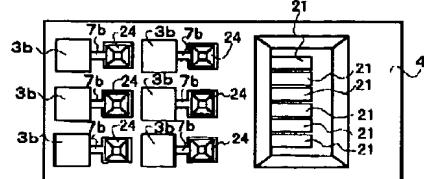
【図8】

図8



【図9】

図9



【図10】

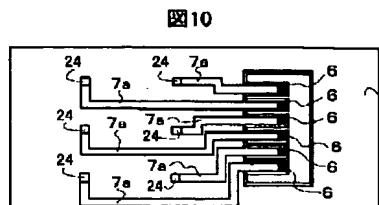


図10

【図11】

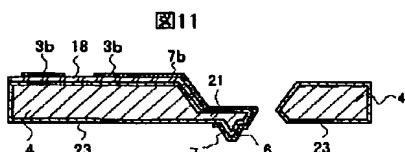


図11

【図12】

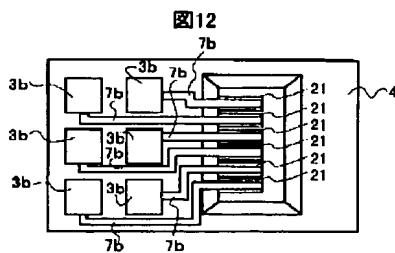


図12

【図13】

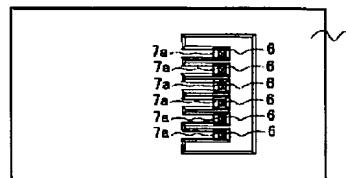


図13

【図14】

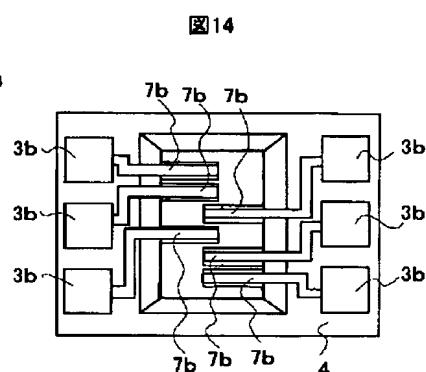


図14

【図15】

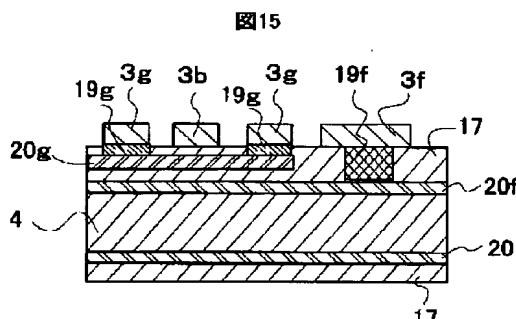
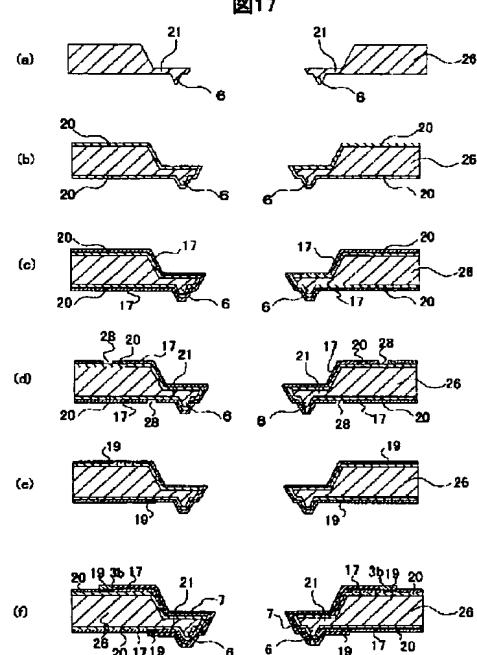
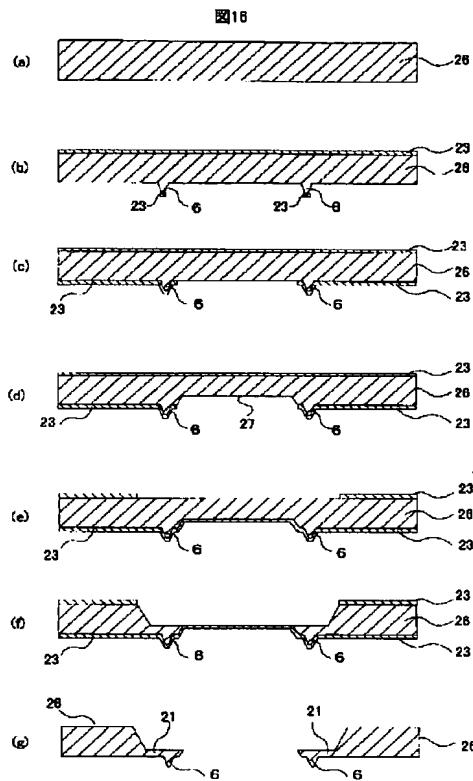


図15

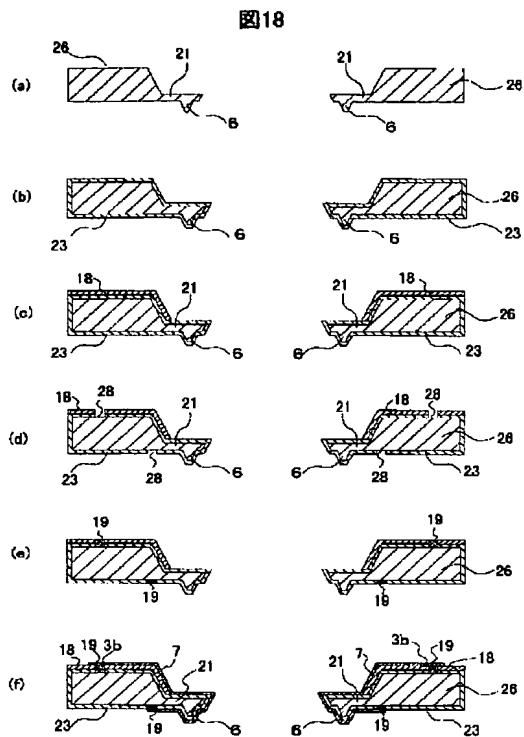
【図17】



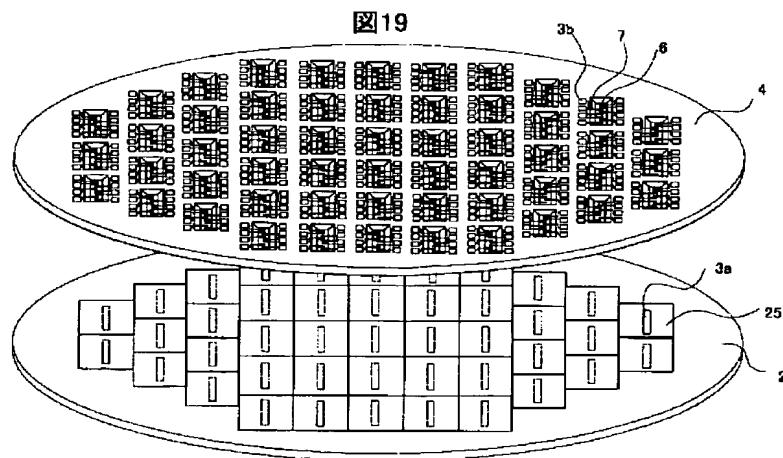
【図16】



【図18】



【図19】



## フロントページの続き

(72)発明者 細金 敦  
茨城県土浦市神立町502番地 株式会社日  
立製作所機械研究所内

(72)発明者 永田 達也  
茨城県土浦市神立町502番地 株式会社日  
立製作所機械研究所内

(72)発明者 河野 竜治  
茨城県土浦市神立町502番地 株式会社日  
立製作所機械研究所内

(72)発明者 青木 英之  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 有賀 昭彦  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

F ターム(参考) 2G011 AA16 AA21 AB01 AB06 AB09  
AC06 AC14 AC32 AE03 AF07  
4M106 AA01 BA01 CA01 CA09 CA56  
DD03 DD15 DD30